

JPS5958468

Patent Publication No.: Kokai S59-58468

Publication Date: April 4, 1984

Application No.: S57-171782

Application Date: September 29, 1982

Applicant: FUJITSU

Inventor: Okawa Yasushi

Inventor: Oki Kenichi

Inventor: Takahara Kazuhiro

Inventor: Gondo Hiroyuki

Inventor: Miura Terunobu

SPECIFICATION

[Title of the Invention]

Display Device

[Claims]

[Claim 1] A display device having a structure that plural of EL elements each having a pair of electrodes opposed to each other with sandwiching a luminescence layer, a driving circuit including at least one field effect transistor whose gate electrode is formed with a high melting-point material and arranged corresponding to each of said EL elements are formed on a semiconductor circuit substrate, wherein one electrode of said EL element is formed with the same material of the gate electrode of said field effect transistor, and is a thin film formed on said semiconductor circuit substrate intervening an insulation film.

[Detailed Description of the Invention]

[Technical Field to which the Invention Pertains]

The present invention is related to a display device, and especially related to a display device that a driving circuit is placed for each pixel, and a driving circuit corresponding to each pixel and an electroluminescence (EL) element are integrated.

BEST AVAILABLE COPY

[Prior Art and Problems]

Traditionally, a display electrode (a substrate electrode of an EL element) of a EL display device having a driving circuit integrated structure as mentioned above is formed with aluminum (Al) which is a material for a lead wire of the field effect transistor in the driving circuit. When the Al is heated to over 350°C, a projection called a hillock appears on the surface. A height of the projection reaches to 1 μ m or more. On the other hand, in the EL element, a display electrode and a transparent electrode are arranged to oppose to each other with sandwiching an interlayer insulation layer and a luminescence layer, the distance is only 1000 Å. As said hillock causes crash of the EL element, arising of hillocks has to be avoided to the greatest possible extent. However, after forming the display electrode, at forming of the interlayer insulation layer and the EL luminescence layer, as an heat treatment at more than 400°C is required, the arising of said hillocks can not be avoided when the display electrode is made of Al, then a reliability and a yield ratio of the display device is decreased.

[Purpose of the Invention]

The purpose of the present invention is to provide an improved structure of a display device in which the hillocks do not arise by eliminating the problem above mentioned.

[Constitution of the Invention]

The characteristics of the present invention is a display device having a structure that plural of EL elements each having a pair of electrodes opposed to each other with sandwiching a luminescence layer, a driving circuit including at least one field effect transistor whose gate electrode is formed with a high melting-point material and arranged corresponding to each of said EL elements are formed on a semiconductor circuit substrate, wherein one electrode of said EL element is formed with the same material of the gate electrode of said field effect transistor, and is a thin film formed on said semiconductor circuit substrate intervening an insulation film.

[Embodiment]

Hereinafter, one embodiment according to the present invention is explained

with referring to drawings.

Fig.1 is a cross section to show a substantial part of the embodiment of display device related to the present invention. In the figure, numeral 1 denotes a silicon (Si) substrate, 2 denotes a silicon dioxide (SiO_2) film formed with performing a heat oxidation treatment on the Si substrate 1. Numeral 3 denotes a display electrode of the EL element, 4 denotes an electrode of a storage capacitor which is a component of the driving circuit with said field effect transistor (MOS FET), and 6 denotes a gate electrode of MOS FET, each of them is formed with the high-melting point material such as polycrystalline silicon or molybdenum. Each of 6, 6' and 6'' denotes a lead electrode formed with Al of the MOS FET, and is a gate lead out wiring, a source electrode, and a drain electrode respectively, numeral 7 denotes an Al electrode for shielding, 8 denotes an insulation film formed with deposition and so on for interlayer insulation and limitation of luminescence region, and numeral 9 denotes an EL luminescence layer. The EL luminescence layer 9 is given with a multi-layer film structure in which both sides of the EL thin film is sandwiched by insulation films actually, a transparent common electrode which is not shown in the figure is formed on the surface. EL indicates an EL element, C indicates a capacitor, and Tr indicates a MOS FET.

In this embodiment, as materials of the display electrode 3, the electrode 4 of the capacitor and the gate electrode 5 are the same high-melting point material such as polycrystalline silicon, those 3 can be formed in one process simultaneously. Therefore, a manufacturing process of the display device is largely simplified. Furthermore, as forming of hillocks in the heat treatment process at 450°C in the insulation film 8 forming and EL luminescence layer 9 forming as mentioned above can be eliminated, the reliability and the production yield ratio are increased.

Fig.1 shows a substantial part of one pixel in the display device, that is, Fig.1 is a cross section of substantial part to show one EL element and corresponding driving circuit, and Fig.2 shows a circuit structure of whole said one pixel.

In the figure, Tr_1 and Tr_2 indicate the MOS FET for address selection and for luminescence driving respectively. Cs indicates a storage capacitor, Z_D indicates a Zener diode. It can be assumed that plural of the pixels are arranged in a matrix shape in the actual display device.

Though it is explained that the EL element and the driving circuit corresponding to each pixel are formed on the semiconductor substrate in integrated form, the present invention is not limited to this, a TFT structure or an SOS structure in which an integrated structure mentioned above is formed on a semiconductor thin film placed on a semiconductor substrate may be allowed.

[Effect of the Invention]

As mentioned above, in the present invention, arising of hillocks on the display electrode can be avoided, furthermore, as a special process for forming the display electrode is not required, the manufacturing process can be simplified. Therefore, the reliability and the manufacturing yield ratio are improved.

[Brief Description of Drawings]

Fig.1 is a cross section to show a substantial part of one embodiment of the present invention.

Fig.2 shows a circuit structure of one embodiment mentioned above.

In the figures;

1: semiconductor substrate

2: insulation film

3: display electrode of an EL element

5: gate electrode of MOS FET forming a driving circuit

EL: EL element

Tr, Tr₁, Tr₂: MOS FET forming a driving circuit

⑬ 日本国特許庁 (JP)
⑭ 公開特許公報 (A)

⑪ 特許出願公開
昭59—58468

⑤ Int. Cl.³
G 09 F 9/33

識別記号

庁内整理番号
6615—5C

④ 公開 昭和59年(1984)4月4日

発明の数 1
審査請求 未請求

(全 3 頁)

⑬ 表示装置

① 特 願 昭57—171782
② 出 願 昭57(1982)9月29日
⑦ 発 明 者 大川泰史
川崎市中原区上小田中1015番地
富士通株式会社内
⑦ 発 明 者 沖賢一
川崎市中原区上小田中1015番地
富士通株式会社内
⑦ 発 明 者 高原和博

川崎市中原区上小田中1015番地
富士通株式会社内
⑦ 発 明 者 権藤浩之
川崎市中原区上小田中1015番地
富士通株式会社内
⑦ 発 明 者 三浦照信
川崎市中原区上小田中1015番地
富士通株式会社内
⑦ 出 願 人 富士通株式会社
川崎市中原区上小田中1015番地
⑦ 代 理 人 弁理士 井桁貞一

明 細 書

1. 発明の名称

表示装置

2. 特許請求の範囲

半導体回路基板上に、発光層を挟んで対向する一対の電極を有する複数のEL素子と、ゲート電極が高融点材料により形成された電界効果トランジスタを構成要素として少なくとも1個具備し且つ前記EL素子のそれぞれに対応して配設された駆動回路とが設けられてなる構成において、前記EL素子の一方の電極が、前記電界効果トランジスタのゲート電極と同一材料よりなり、且つ前記半導体回路基板上に絶縁膜を介して形成された薄膜であることを特徴とする表示装置。

3. 発明の詳細な説明

(a) 発明の技術分野

本発明は表示装置に係り、特に駆動回路が画素ごとに設けられ、各画素対応の駆動回路とエレクトロルミネセンス (EL) 素子を一体構成とした表示装置の構造に関する。

(b) 従来技術と問題点

従来上記のような駆動回路一体構成のEL表示装置における表示電極 (EL素子の基板側電極) は、駆動回路内の電界効果トランジスタの引出し配線材料のアルミニウム (Al) を用いて形成されていた。このAlは350(℃)以上の温度に加熱されると、表面にヒロックと呼ばれる突起を生じる。この突起の高さは1(μm)あるいはそれ以上に達する。一方EL素子は表示電極と透明電極とが層間絶縁層及びEL発光層を挟んで対向しているが、その間隔は数1000(Å)に過ぎない。従って上記ヒロックはEL素子の破壊を引き起す原因となるので、これの発生を極力防止せねばならない。しかし表示電極形成後に、層間絶縁層やEL発光層の形成に際し、400(℃)以上の加熱処理が必要であるため、表示電極をAlを用いて形成する限り上述のヒロックの発生を避けられず、表示装置の信頼性及び製造歩留りが低下する。

(c) 発明の目的

本発明の目的は上記問題点を解消して、ヒロッ

クの発生する恐れのない改良された表示装置の構造を提供することにある。

(d) 発明の構成

本発明の特徴は、半導体回路基板上に、発光層を挟んで対向する一対の電極を有する複数のEL素子と、ゲート電極が高融点材料により形成された電界効果トランジスタを構成要素として少なくとも1個具備し且つ前記EL素子のそれぞれに対応して配設された駆動回路とが設けられてなる構成において、前記EL素子の一方の電極が、前記電界効果トランジスタのゲート電極と同一材料よりなり、且つ前記半導体回路基板上に絶縁膜を介して形成されたことにある。

(e) 発明の実施例

以下本発明の一実施例を図面を参照しながら説明する。

第1図は本発明に係る表示装置の一実施例の要部を示す断面図である。同図において、1はシリコン(Si)基板、2はSi基板1に加熱酸化処理を施して形成した二酸化シリコン(SiO_2)膜であ

る。また3はEL素子の表示電極、4は前述の電界効果トランジスタ(MOS FET)と共に駆動回路の構成要素であるストレージキャパシタの電極、6はMOS FETのゲート電極で、これらは何れも多結晶シリコン、モリブデン等の高融点材料を用いて形成される。更に G 、 G' 、 G'' は何れもMOS FETの A よりなる引出し電極で、それぞれゲート引出し配線、ソース電極、ドレイン電極、7はシールド用の A 電極、8は層間絶縁及び発光領域制限を目的として蒸着法等により形成された絶縁膜、9はEL発光層である。なお、EL発光層9は実際にはEL薄膜の両側を絶縁膜で挟んだ多層膜構造として与えられ、表面には図示しない透明共通電極が形成されたものとなる。またELはEL素子、Cはキャパシタ、TrはMOS FETを示す。

本実施例では表示電極3、キャパシタの電極4及びゲート電極5の材料を、同一の高融点材料例えば多結晶シリコンとしたことにより、これら3者を同一工程において同時に形成することができ

る。従って表示装置の製造工程が大幅に簡便化される。しかも前述した如き絶縁膜8やEL発光層9の形成工程における450(℃)程度の加熱処理温度でヒロックが形成されることもないので、表示装置の信頼性及び製造歩留りが向上する。

なお上記第1図は表示装置の1画素の要部、即ち1個のEL素子とこれに対応する駆動回路の一部を示す要部断面図であって、第2図に上記1画素全体の回路構成を示す。

同図において、ELはEL素子、 Tr_1 、 Tr_2 はそれぞれアドレス選択用及び発光駆動用のMOS FETで、前記第1図ではこのうち1個のみを示してある。Csはストレージキャパシタ、ZDはツェナーダイオードである。実際の表示装置にはこのような画素が多数マトリクス状に配列されていると考えて良い。

また上記一実施例においてはEL素子と各画素対応の駆動回路とを半導体基板上に一体構成した例を掲げて説明したが、本発明はこれに限定されるものではなく、絶縁基板上に設けられた半導体

薄膜に上記一体構成を形成したTFT構造やSOS構造であっても良い。

(f) 発明の効果

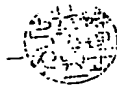
以上説明した如く本発明によれば、EL素子の表示電極にヒロックが生じることがなく、また表示電極形成のための特別な工程が不要なため、製造工程が簡便化される。従って表示装置の信頼度及び製造歩留りが向上する。

4. 図面の簡単な説明

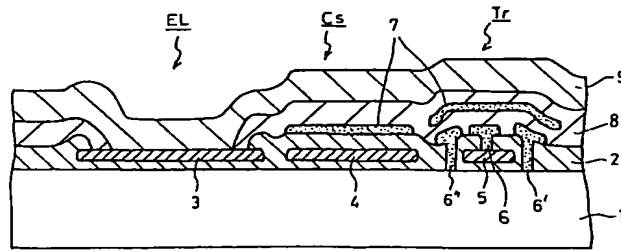
第1図は本発明の一実施例を示す要部断面図、第2図は上記一実施例の回路構成図である。

図において、1は半導体基板、2は絶縁膜、3はEL素子の表示電極、5は駆動回路を構成するMOS FETのゲート電極、ELはEL素子、 Tr_1 、 Tr_2 は駆動回路を構成するMOS FETを示す。

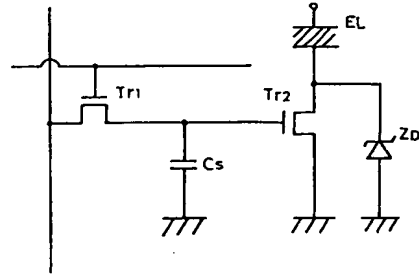
代理人 弁理士 井 桁 貞



第 1 圖



第 2 圖



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.